T.D. 7
Quelques circuits combinatoires

Exercice 1

Additionneur complet

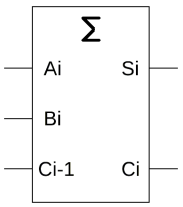


Figure 1

Additionneur 4 bits

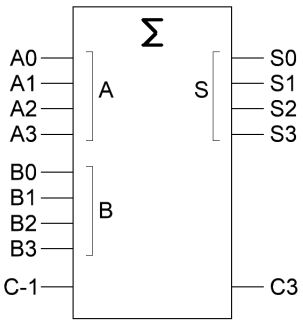


Figure 2

Additionneur / Soustracteur

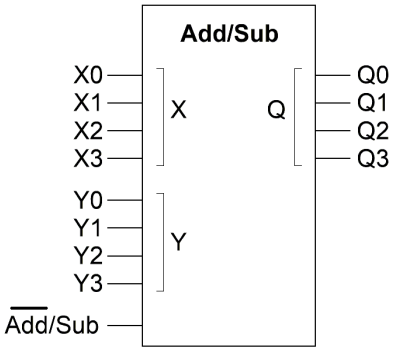


Figure 3

Dans un premier temps, on souhaite réaliser un additionneur complet (*cf.* figure 1) qui additionne deux bits (Ai et Bi) et une possible retenue d'entrée (Ci-1). Ce circuit génère une somme (Si) et une possible retenue de sortie (Ci).

1. Donnez la table de vérité de ce circuit.
2. Donnez l'expression de Si et simplifiez-la à l'aide de la méthode algébrique.
3. Donnez l'expression de Ci la plus simplifiée à l'aide d'un tableau de Karnaugh.
4. Donnez le schéma de câblage de l'additionneur complet.

On souhaite maintenant réaliser un additionneur 4 bits (*cf.* figure 2) qui additionne deux mots de 4 bits (A et B) et une possible retenue d'entrée (C-1). Ce circuit génère une somme sur 4 bits (S) et une possible retenue de sortie (C3).

5. Donnez le schéma de câblage de l'additionneur 4 bits à l'aide de quatre additionneurs complets.

On souhaite maintenant réaliser un additionneur-soustracteur 4 bits (*cf.* figure 3) qui additionne ou soustrait deux mots de 4 bits (X et Y). Si l'entrée $\overline{\text{Add}}$/Sub vaut 0, la sortie Q contient la somme. Si l'entrée $\overline{\text{Add}}$/Sub vaut 1, la sortie Q contient la différence (X – Y). Dans un but de simplification, ce circuit ne contiendra pas de retenue.

6. Soit un circuit à deux entrées (N et D) et une sortie G. Si l'entrée N vaut 0, alors la sortie G est égale à D. Si l'entrée N vaut 1, alors la sortie G est égale à $\overline{\text{D}}$. Trouvez la porte logique qui correspond à ce circuit.

7. Soit un circuit à une entrée D sur 4 bits (D0, D1, D2 et D3), une entrée d'inversion I et une sortie G sur 4 bits (G0, G1, G2 et G3). Si l'entrée I vaut 0, alors la sortie G est égale à D (G0 = D0, G1 = D1, G2 = D2, G3 = D3). Si l'entrée I vaut 1, alors la sortie G est égale au complément à 1 de D (G0 = $\overline{D0}$, G1 = $\overline{D1}$, G2 = $\overline{D2}$, G3 = $\overline{D3}$). Réalisez ce circuit à l'aide de la porte déterminée à la question précédente.
8. Sachant que A – B peut être remplacé par A + C2(B), et que C2(B) = C1(B) + 1, donnez le schéma de câblage de l'additionneur-soustracteur à l'aide d'un additionneur 4 bits et du circuit de la question précédente. Note : C2 = Complément à 2 ; C1 = Complément à 1.

Exercice 2

Comparateur 1 bit

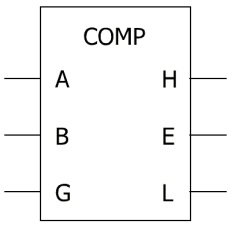


Figure 1

Comparateur 4 bits

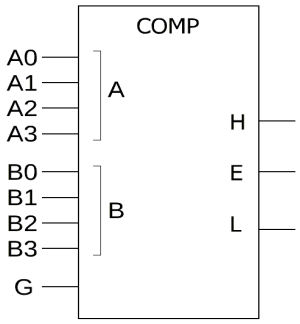


Figure 2

Décodeur 7 segments

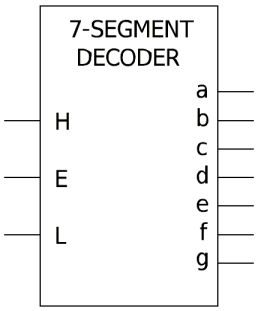


Figure 3

Tout d'abord, on souhaite concevoir un comparateur 1 bit (*cf.* figure 1) avec les entrées-sorties suivantes :

- Entrées : une entrée de validation (*G*), deux bits à comparer (*A* et *B*).
- Sorties : supérieur (*H*), égalité (*E*), inférieur (*L*).

Si $G = 0$: $H = E = L = 0$ (les entrées *A* et *B* sont ignorées)
Si $G = 1$: $A > B \rightarrow H = 1, E = 0, L = 0$
$A = B \rightarrow H = 0, E = 1, L = 0$
$A < B \rightarrow H = 0, E = 0, L = 1$

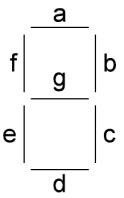
1. Donnez la table de vérité de ce circuit.
2. Donnez les expressions les plus simplifiées pour *H*, *E* et *L*.
3. Donnez le schéma de câblage du comparateur 1 bit.

Maintenant, nous souhaitons concevoir un comparateur 4 bits (*cf.* figure 2) qui compare deux nombres sur 4 bits non signés. Il doit avoir le même comportement que le comparateur 1 bit à l'exception des entrées sur 4 bits : *A* (*A3*, *A2*, *A1*, *A0*) et *B* (*B3*, *B2*, *B1*, *B0*).

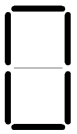
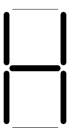
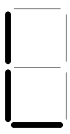
4. À l'aide de quatre comparateurs 1 bit et de quelques portes logiques, dessinez le schéma de câblage du comparateur 4 bits.

Pour finir, nous voulons afficher la sortie du comparateur 4 bits à l'aide d'un afficheur 7 segments. Pour cela, nous avons besoin de concevoir un décodeur 7 segments (*cf.* figure 3).

Afficheur 7 segments



Si la valeur d'un segment est 1, la DEL associée est allumée ; autrement, elle est éteinte.

Affichage pour le comparateur 4 bits			
			
$G = 0$	$A > B$	$A = B$	$A < B$

5. Donnez la table de vérité des sept segments (a, b, c, d, e, f, g) en fonction de H, E et L.
6. Donnez les expressions les plus simplifiées pour les sept segments.
7. Donnez le schéma de câblage du décodeur 7 segments.